

**UNIVERSITE SIDI MOHAMED BEN ABDELLAH  
FACULTE DES SCIENCES DHAR EL MAHRAZ  
FES**



**AVIS DE SOUTENANCE DE THESE**

Le Doyen de la Faculté des Sciences Dhar El Mahraz - Fès, annonce que

Mr : **CHAKIR Mostafa**

Soutiendra : **le 07/04/2018 à 10 H**                      Lieu : **Centre de conférences**

**Une thèse intitulée :**

*Contributions à la conception optimale de convertisseurs analogique/numérique pour les capteurs monolithiques à pixel actif en technologie CMOS 0.18µm*

**En vue d'obtenir le Doctorat**

**FD : Sciences et Technologies de l'Information et de la Communication (STIC)**

**Spécialité : Génie Electrique**

	<b>NOM ET PRENOM</b>	<b>GRADE</b>	<b>ETABLISSEMENT</b>
<b>Président</b>	Pr. BOUMHIDI Ismail	PES	Faculté des Sciences Dhar El Mahraz - Fès
<b>Directeur de thèse</b>	Pr. QJIDAA Hassan	PES	Faculté des Sciences Dhar El Mahraz - Fès
<b>Rapporteurs</b>	Pr. ZENKOUAR Lahbib	PES	Ecole Mohammadia d'Ingénieurs - Rabat
	Pr. RIFI Mounir	PES	Ecole Supérieure de Technologie - Casablanca
	Pr. AARAB Abdellah	PES	Faculté des Sciences Dhar El Mahraz - Fès
<b>Membres</b>	Pr. EL GHAZI Mohammed	PH	Ecole Supérieure des de Technologie - Fès
	Pr. MAZIR Said	PH	Ecole Nationale des Sciences Appliquées - Fès

## **Résumé :**

La conception d'un capteur monolithique à pixel actif CMOS (MAPS) exprime des exigences strictes de performance notamment celles relatives au convertisseur analogique-numérique (CAN) et numérique-analogique (CNA). Ce travail concerne la conception et l'optimisation de deux nouvelles architectures CAN flash 4 bits à colonne parallèle et CNA à sources du courant. La première partie de ce travail traite de l'intégration d'un bloc échantillonneur-bloqueur E/ B dans l'architecture du convertisseur afin d'augmenter la sensibilité du convertisseur pour détecter des signaux de faible amplitude et de fournir le temps au convertisseur pour pouvoir coder le signal d'entrée. La conception du CAN a été réalisée dans un processus 0,18  $\mu\text{m}$  CMOS avec un pas de pixel de 35  $\mu\text{m}$ . Le MAPS est composé d'une matrice de 64 lignes et de 48 colonnes où chaque colonne CAN couvre une petite surface de  $35 \times 336.76 \mu\text{m}^2$ . Le CAN ainsi proposé répond aux contraintes de dissipation de puissance, de taille et de vitesse : une faible consommation avec à une alimentation de 1,8 V et un taux d'échantillonnage de 100Me/s avec une plage dynamique de 125 mV. Son DNL et INL sont respectivement compris entre 0.0812 / -0.0787 LSB et 0.0811 / -0.0787 LSB. En outre, ce CAN peut fonctionner à des fréquences d'échantillonnage élevées autour de 5 GHz.

Les convertisseurs numériques-analogiques (CNAs) forment l'élément de rétroaction dans le convertisseur analogique-numérique à approximation successif (CNA SAR) en mode de courant (MC). La non-linéarité dans le CNA dégrade directement la linéarité du SAR MC à basse et moyenne fréquence. Par conséquent, il est nécessaire de concevoir des CNAs hautement linéaires lorsqu'ils sont utilisés dans le SAR MC en haute performance. La deuxième partie de ce travail s'inscrit dans ce cadre et porte sur la proposition de deux nouvelles architectures d'un Convertisseur Numérique Analogique CNA à sources du courant. La première concerne un CNA à 6 bits et la deuxième, plus performante, concerne un CNA à 4 bits optimisée par l'ajout de deux circuits RC à l'entrée de chaque grille des miroirs de courant. Les deux architectures fonctionnant avec une fréquence d'échantillonnage de l'ordre de 10 MHz et une tension d'alimentation de 1,8 V, simulée dans la technologie 0,18  $\mu\text{m}$  CMOS. Les simulations réalisées conduisent d'une part à de faibles erreurs de non-linéarité différentielle statique (DNL) et aussi à de faibles erreurs intégrales de non linéarité (INL) d'autre part à une faible dissipation de puissance et une petite surface. Elles témoignent des bonnes performances des architectures proposées.

## **Mots clés :**

CAN, Flash, MAPS, Pixels, ILC, Commutateur, Capacité, Injection, CNA, Source du courant, Miroir du courant cascade.

## ***Contributions to the optimal design of analog-to-digital converters for monolithic active pixel sensors in 0.18 $\mu$ m CMOS technology***

### **Abstract :**

The design of a CMOS Monolithic Active Pixel Sensor (MAPS) expresses stringent performance requirements, particularly those relating to the analog-to-digital converter (ADC) and digital-to-analog converter (DAC). This work concerns designing and optimizing a two new architectures of 4-bit column-parallel ADC Flash and Current sources DAC Converter.

The first part of this work deals with the integration of an S/H block in the converter architecture in order to increase the sensitivity of the converter to detect signals of low amplitude and provides a sufficient time to the converter to be able to code the input signal. The ADC design was performed in a 0.18  $\mu$ m CMOS process with a pixel pitch of 35  $\mu$ m. The MAPS consists of a matrix of 64 rows and 48 columns where each CAN column covers a small area of  $35 \times 336.76 \mu\text{m}^2$ . The CAN thus proposed meets the requirements of power dissipation, size and speed: low power consumption with a 1.8 V supply and a sampling rate of 100MS/ s with a dynamic range of 125 mV. Its DNL and INL are respectively between 0.0812 / -0.0787 LSB and 0.0811 / -0.0787 LSB. In addition, this ADC can operate at high sampling frequencies around 5 GHz.

The digital-to-analog converters (DACs) form the feedback element in the successive approximation analog-to-digital converter (SAR ADC) in current mode (MC). The non-linearity in the DAC directly degrades the linearity of the SAR MC at low and medium frequency. Therefore, it is necessary to design highly linear DACs when used in high-performance SAR MC. The second part of this work falls within this framework and deals with the proposal of two new architectures of digital-to-analog converter DAC with current sources. The first concerns a 6-bit DAC and the second, more efficient, concerns a 4-bit DAC optimized by the addition of two RC circuits at the input of each grid of the current mirrors. The two architectures operate with a sampling frequency of the order of 10 MHz and a supply voltage of 1.8 V simulated in the 0.18  $\mu$ m CMOS technology. On the one hand, the simulations carried out lead to low static differential nonlinearity (DNL) errors and also to low integral nonlinearity errors (INL) and, on the other hand, to a low power dissipation and a small area . They testify to the good performances of the proposed architectures.

### **Key Words :**

ADC, Flash, MAPS, Pixels, ILC, Switch, Capacity, Injection, DAC, Current Steering, current mirror cascade.